

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001251482 A**

(43) Date of publication of application: **14.09.01**

(51) Int. Cl. **H04N 1/19**
G06T 1/00

(21) Application number: **2000060980**

(71) Applicant: **CANON INC**

(22) Date of filing: **06.03.00**

(72) Inventor: **FUKAWA YOSHIHIKO**

(54) **APPARATUS, SYSTEM AND METHOD FOR
PROCESSING IMAGE AND COMPUTER
READABLE STORAGE MEDIUM**

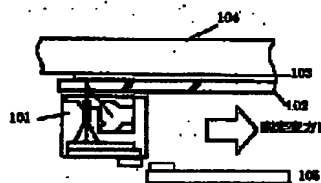
processing to one area of a shading RAM 206.

COPYRIGHT: (C)2001,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To improve reliability by reducing the unnaturalness of an image corresponding to a connection part between sensor chips with a relatively simple configuration and realizing a very natural image.

SOLUTION: This image processing apparatus is provided with a connection correcting part 217 applying average processing to an output from the final pixel of a sensor chip and an output from the first pixel of a sensor chip that is adjacent to the sensor chip and is located at a subsequent stage. The part 217 is configured as an actual circuit and can perform weighing average processing of a connecting part as one example of this weighing average processing. The part 217 also temporarily stores data subjected to the weighing average



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-251482
(P2001-251482A)

(43)公開日 平成13年9月14日(2001.9.14)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 4 N 1/19		H 0 4 N 1/04	1 0 3 A 5 B 0 4 7
G 0 6 T 1/00		G 0 6 F 15/64	4 0 0 A 5 C 0 7 2
			4 0 0 D

審査請求 未請求 請求項の数32 O L (全 16 頁)

(21)出願番号 特願2000-60980(P2000-60980)

(22)出願日 平成12年3月6日(2000.3.6)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 府川 仁彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100090273

弁理士 國分 孝悦

Fターム(参考) 5B047 BA02 BB03 DA04 DA10 DB01

5C072 AA01 EA04 FB03 FB12 UA02

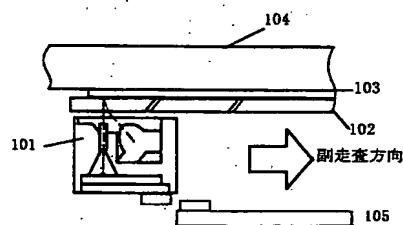
UA06 UA17

(54)【発明の名称】 画像処理装置、画像処理システム、画像処理方法及びコンピュータ読み取り可能な記憶媒体

(57)【要約】

【課題】 比較的簡易な構成でセンサチップ間における
繋ぎ部分に対応した画像の不自然さを低減させ、ごく自
然な画像を実現して信頼性の向上に寄与する。

【解決手段】 センサチップの最終画素からの出力と、
当該センサチップに隣接し後段に位置するセンサチップ
の先頭画素からの出力に平均化処理を行う繋ぎ補正部2
17を設ける。この重み付け平均化処理の一例として、
実際の回路として構成とし、繋ぎ部の重み付け平均化処
理を行うことができる。また、繋ぎ補正部217は重み
付け平均化処理したデータをシェーディングRAM20
6の一領域に一時保存する。



【特許請求の範囲】

【請求項 1】 複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理する画像処理装置であって、

前記マルチチップセンサにおいて、前記センサチップの最終画素からの出力と、当該センサチップに隣接し後段に位置する前記センサチップの先頭画素からの出力に平均化処理を行う補正手段を含むことを特徴とする画像処理装置。

【請求項 2】 前記補正手段は、前記最終画素からの出力と前記先頭画素からの出力にそれぞれ所定の係数を乗じる重み付け平均化処理を施すことを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 前記補正手段は、前記最終画素からの出力、当該最終画素の前段に位置する画素からの出力、及び前記先頭画素からの出力にそれぞれ所定の係数を乗じる重み付け平均化処理を施すことを特徴とする請求項 1 に記載の画像処理装置。

【請求項 4】 前記補正手段は、前記平均化処理により擬似的な出力信号を作出することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 5】 前記マルチチップセンサを有するイメージセンサを備え、前記イメージセンサを駆動することで原稿を読み取り、読み取った画像を電気的な画像信号に変換し、前記画像信号をデジタル信号に変換して外部装置に転送することを特徴とする請求項 1～4 のいずれかに記載の画像処理装置。

【請求項 6】 更に前記平均化処理を行うか否かを判断する判断手段を有することを特徴とする請求項 1～5 のいずれかに記載の画像処理装置。

【請求項 7】 更に前記重み付け平均化処理を行うか否かを判断する判断手段を有することを特徴とする請求項 2 又は 3 に記載の画像処理装置。

【請求項 8】 更に前記平均化処理により擬似的な出力信号を作出するか否かを判断する判断手段を有することを特徴とする請求項 4 に記載の画像処理装置。

【請求項 9】 前記判断手段は、読取解像度が基本解像度の半分以下であるかを判断し、基本解像度の半分以下である場合には前記平均化処理を行わないことを特徴とする請求項 1～8 のいずれかに記載の画像処理装置。

【請求項 10】 前記判断手段は、読取解像度が基本解像度の半分以下であるかを判断し、基本解像度の半分以下である場合には前記重み付け平均化処理を行わないことを特徴とする請求項 2、3、7 のいずれかに記載の画像処理装置。

【請求項 11】 前記判断手段は、読取解像度が基本解像度の半分以下であるかを判断し、基本解像度の半分以下である場合には前記平均化処理による擬似的な出力信号の作出を行わないことを特徴とする請求項 4 又は 8 に

記載の画像処理装置。

【請求項 12】 シェーディング補正手段を有し、シェーディング補正後に前記平均化処理を行うことを特徴とする請求項 1～11 のいずれかに記載の画像処理装置。

【請求項 13】 シェーディング補正手段を有し、シェーディング補正後に前記重み付け平均化処理を行うことを特徴とする請求項 2、3、7、10 のいずれかに記載の画像処理装置。

【請求項 14】 シェーディング補正手段を有し、シェーディング補正後に前記平均化処理による擬似的な出力信号の作出を行うことを特徴とする請求項 4、8、11 のいずれかに記載の画像処理装置。

【請求項 15】 複数の画素を有するセンサチップを複数接続したマルチチップセンサを有するイメージセンサを備え、前記イメージセンサを駆動することで原稿を読み取り、読み取った画像を電気的な画像信号に変換し、前記画像信号をデジタル信号に変換して外部装置に転送する画像処理装置と、

前記画像処理装置を制御するためのソフトウェアを有する前記外部装置とを備えた画像処理システムであって、前記マルチチップセンサにおいて、前記センサチップの最終画素からの出力と、当該センサチップに隣接し後段に位置する前記センサチップの先頭画素からの出力に重み付け平均化処理を行う補正手段を含むことを特徴とする画像処理システム。

【請求項 16】 前記重み付け平均化処理が前記外部装置内のアプリケーションにおいて施されることを特徴とする請求項 15 に記載の画像処理システム。

【請求項 17】 前記外部装置内のアプリケーションで、コンタクトイメージセンサの基本解像度の半分以下の解像度が指定された場合には、前記重み付け平均化処理を行わないことを特徴とする請求項 15 又は 16 に記載の画像処理システム。

【請求項 18】 シェーディング補正手段を有し、シェーディング補正後に前記重み付け平均化処理を行うことを特徴とする請求項 15～17 のいずれかに記載の画像処理システム。

【請求項 19】 複数の画素を有するセンサチップを複数接続したマルチチップセンサを有するイメージセンサを備え、前記イメージセンサを駆動することで原稿を読み取り、読み取った画像を電気的な画像信号に変換し、前記画像信号をデジタル信号に変換して外部装置に転送する画像処理装置と、

前記画像処理装置を制御するためのソフトウェアを有する前記外部装置とを備えた画像処理システムであって、前記マルチチップセンサにおいて、前記センサチップの最終画素からの出力と、当該センサチップに隣接し後段に位置する前記センサチップの先頭画素からの出力に平均化処理を行い、擬似的な出力信号を作出することを特

徴とする画像処理システム。

【請求項 20】 前記平均化処理による擬似的な出力信号の作出が前記外部装置内のアプリケーションにおいて行われることを特徴とする請求項 19 に記載の画像処理システム。

【請求項 21】 前記外部装置内のアプリケーションで、コンタクトイメージセンサの基本解像度の半分以下の解像度が指定された場合には、前記平均化処理による擬似的な出力信号の作出を行わないことを特徴とする請求項 19 又は 20 に記載の画像処理システム。

【請求項 22】 シェーディング補正手段を有し、シェーディング補正後に前記平均化処理を行うことを特徴とする請求項 19 ～ 21 のいずれか 1 項に記載の画像処理システム。

【請求項 23】 複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理する画像処理方法であって、
前記マルチチップセンサにおいて、前記センサチップの繋ぎ目を検出するステップと、
前記繋ぎ目に対して、前段の前記センサチップの最終画素と後段の前記センサチップの先頭画素にあたる出力信号に対して重み付け平均化処理を行うステップとを有することを特徴とする画像処理方法。

【請求項 24】 更に、読み取り解像度を判断するステップを有し、
前記読み取り解像度が前記マルチチップセンサの基本解像度の半分以下の場合には前記重み付け平均化処理を行わないことを特徴とする請求項 23 に記載の画像読取方法。

【請求項 25】 複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理する画像処理方法であって、
前記マルチチップセンサにおいて、前記センサチップの繋ぎ目を検出するステップと、
前記繋ぎ目に対して、前段の前記センサチップの最終画素と後段の前記センサチップの先頭画素にあたる出力信号に対して平均化処理を行うステップと、
前記平均化処理により擬似的な出力信号を作出し、前記前段の前記センサチップの最終画素の後に出力するステップとを有することを特徴とする画像処理方法。

【請求項 26】 更に、読み取り解像度を判断するステップを有し、
前記読み取り解像度が前記マルチチップセンサの基本解像度の半分以下の場合には前記平均化処理を行わないことを特徴とする請求項 25 に記載の画像読取方法。

【請求項 27】 複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理するためのプログラムであって、
前記マルチチップセンサにおいて、前記センサチップの繋ぎ目を検出する処理と、

前記繋ぎ目に対して、前段の前記センサチップの最終画素と後段の前記センサチップの先頭画素にあたる出力信号に対して平均化処理を行う処理とを実行するプログラムを記憶したことを特徴とするコンピュータ読み取り可能な記憶媒体。

【請求項 28】 前記重み付け平均化処理を行う前に、シェーディング補正処理を行うプログラムを記憶したことを特徴とする請求項 27 に記載のコンピュータ読み取り可能な記憶媒体。

10 【請求項 29】 前記マルチチップセンサの基本解像度の半分以下の読み取り解像度が指定された場合には、前記重み付け平均化処理を行わないとするプログラムを記憶したことを特徴とする請求項 27 又は 28 に記載のコンピュータ読み取り可能な記憶媒体。

【請求項 30】 複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理するためのプログラムであって、
前記マルチチップセンサにおいて、前記センサチップの繋ぎ目を検出する処理と、
20 前記繋ぎ目に対して、前段の前記センサチップの最終画素と後段の前記センサチップの先頭画素にあたる出力信号に対して平均化処理を行う処理と、
前記平均化処理により擬似的な出力信号を作出し、前記前段の前記センサチップの最終画素の後に出力する処理とを実行するプログラムを記憶したことを特徴とするコンピュータ読み取り可能な記憶媒体。

【請求項 31】 前記平均化処理を行う前に、シェーディング補正処理を行うプログラムを記憶したことを特徴とする請求項 30 に記載のコンピュータ読み取り可能な記憶媒体。

30 【請求項 32】 前記マルチチップセンサの基本解像度の半分以下の読み取り解像度が指定された場合には、前記平均化処理を行わないとするプログラムを記憶したことを特徴とする請求項 30 又は 31 に記載のコンピュータ読み取り可能な記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像処理装置、画像処理システム及び画像処理方法及びコンピュータ読み取り可能な記憶媒体に関し、特にコンタクトイメージセンサを用いた画像処理装置に適用して好適である。

【0002】

40 【従来の技術】従来の光源、レンズ、センサが一体となったコンタクトイメージセンサ(Contact Image Sensor: 以下 C I S とする。)を用いた画像読取装置は、電気基板にフラットケーブル及びコネクタを介して電氣的に C I S と接続し、電気基板によりモータを制御することで C I S をコンタクトガラスに沿って移動させながら画像を読み取っていた。

50 【0003】

【発明が解決しようとする課題】CISモジュール内のセンサは複数のチップが基板上に配列されているため、同一チップ内のセンサ受光部の画素間隔に比べてチップの繋ぎ部分の画素間隔は大きくなる。読み取られた画像は画素の真上の被写体をサンプリングしているため、同一チップ上の画素によるサンプリング周期とチップの繋ぎ部分のサンプリング周期は異なり、チップの繋ぎ部分の画像が不自然なものになってしまう。

【0004】また、センサの高解像度化が進むにつれ、センサ受光部の画素間隔は等比数率的に小さくなる傾向があるが、チップを基板にマウントする技術の進歩が追いつかないためにチップ繋ぎ部分の画像はより不自然になる。

【0005】本発明は、上述のような問題点に鑑みてなされたものであり、比較的簡易な構成でセンサチップ間における繋ぎ部分に対応した画像の不自然さを低減させ、ごく自然な画像を実現して信頼性の向上に寄与する画像処理装置、画像処理システム及び画像処理方法及びコンピュータ読み取り可能な記憶媒体を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明者らは、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0007】第1の態様は、複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理する画像処理装置であって、前記マルチチップセンサにおいて、前記センサチップの最終画素からの出力と、当該センサチップに隣接し後段に位置する前記センサチップの先頭画素からの出力に平均化処理を行う補正手段を含むことを特徴とする。

【0008】ここで、前記補正手段は、前記最終画素からの出力と前記先頭画素からの出力にそれぞれ所定の係数を乗じる重み付け平均化処理を施すことが好適である。

【0009】また、前記補正手段は、前記最終画素からの出力、当該最終画素の前段に位置する画素からの出力、及び前記先頭画素からの出力にそれぞれ所定の係数を乗じる重み付け平均化処理を施すことが好適である。

【0010】また、前記補正手段は、前記平均化処理により擬似的な出力信号を作出することが好適である。

【0011】前記第1の態様は、具体的には、前記マルチチップセンサを有するイメージセンサを備え、前記イメージセンサを駆動することで原稿を読み取り、読み取った画像を電気的な画像信号に変換し、前記画像信号をデジタル信号に変換して外部装置に転送するものである。

【0012】また、更に前記平均化処理を行うか否かを判断する判断手段を有することが好適である。

【0013】ここで、前記判断手段は具体的には、更に前記重み付け平均化処理を行うか否かを判断するもので

ある。

【0014】また、前記判断手段は具体的には、更に前記平均化処理により擬似的な出力信号を作出するか否かを判断するものである。

【0015】また、前記判断手段は、読取解像度が基本解像度の半分以下であるかを判断し、基本解像度の半分以下である場合には前記平均化処理を行わないものであることが好適である。

【0016】ここで、前記判断手段は具体的には、読取解像度が基本解像度の半分以下であるかを判断し、基本解像度の半分以下である場合には前記重み付け平均化処理を行わないものである。

【0017】また、前記判断手段は具体的には、読取解像度が基本解像度の半分以下であるかを判断し、基本解像度の半分以下である場合には前記平均化処理による擬似的な出力信号の作出を行わないものである。

【0018】前記第1の態様は、シェーディング補正手段を有し、シェーディング補正後に前記平均化処理を行うことが好適である。

【0019】具体的には、シェーディング補正手段を有し、シェーディング補正後に前記重み付け平均化処理を行うものである。

【0020】また、シェーディング補正手段を有し、シェーディング補正後に前記平均化処理による擬似的な出力信号の作出を行うものである。

【0021】第2の態様は、複数の画素を有するセンサチップを複数接続したマルチチップセンサを有するイメージセンサを備え、前記イメージセンサを駆動することで原稿を読み取り、読み取った画像を電気的な画像信号に変換し、前記画像信号をデジタル信号に変換して外部装置に転送する画像処理装置と、前記画像処理装置を制御するためのソフトウェアを有する前記外部装置とを備えた画像処理システムであって、前記マルチチップセンサにおいて、前記センサチップの最終画素からの出力と、当該センサチップに隣接し後段に位置する前記センサチップの先頭画素からの出力に重み付け平均化処理を行う補正手段を含むことを特徴とする。

【0022】ここで、前記重み付け平均化処理が前記外部装置内のアプリケーションにおいて施されることが好適である。

【0023】また、前記外部装置内のアプリケーションで、コンタクトイメージセンサの基本解像度の半分以下の解像度が指定された場合には、前記重み付け平均化処理を行わないことが好適である。

【0024】また、シェーディング補正手段を有し、シェーディング補正後に前記重み付け平均化処理を行うことが好適である。

【0025】第3の態様は、複数の画素を有するセンサチップを複数接続したマルチチップセンサを有するイメージセンサを備え、前記イメージセンサを駆動すること

で原稿を読み取り、読み取った画像を電気的な画像信号に変換し、前記画像信号をデジタル信号に変換して外部装置に転送する画像処理装置と、前記画像処理装置を制御するためのソフトウェアを有する前記外部装置とを備えた画像処理システムであって、前記マルチチップセンサにおいて、前記センサチップの最終画素からの出力と、当該センサチップに隣接し後段に位置する前記センサチップの先頭画素からの出力に平均化処理を行い、擬似的な出力信号を作出することを特徴とする。

【0026】ここで、前記平均化処理による擬似的な出力信号の作出が前記外部装置内のアプリケーションにおいて行われることが好適である。

【0027】また、前記外部装置内のアプリケーションで、コンタクトイメージセンサの基本解像度の半分以上の解像度が指定された場合には、前記平均化処理による擬似的な出力信号の作出を行わない。

【0028】また、シェーディング補正手段を有し、シェーディング補正後に前記平均化処理を行うことが好適である。

【0029】第4の態様は、複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理する画像処理方法であって、前記マルチチップセンサにおいて、前記センサチップの繋ぎ目を検出するステップと、前記繋ぎ目に対して、前段の前記センサチップの最終画素と後段の前記センサチップの先頭画素にあたる出力信号に対して重み付け平均化処理を行うステップとを有することを特徴とする。

【0030】ここで更に、読み取り解像度を判断するステップを有し、前記読み取り解像度が前記マルチチップセンサの基本解像度の半分以上の場合には前記重み付け平均化処理を行わないことが好適である。

【0031】第5の態様は、複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理する画像処理方法であって、前記マルチチップセンサにおいて、前記センサチップの繋ぎ目を検出するステップと、前記繋ぎ目に対して、前段の前記センサチップの最終画素と後段の前記センサチップの先頭画素にあたる出力信号に対して平均化処理を行うステップと、前記平均化処理により擬似的な出力信号を作出し、前記前段の前記センサチップの最終画素の後に出力するステップとを有することを特徴とする。

【0032】ここで、更に、読み取り解像度を判断するステップを有し、前記読み取り解像度が前記マルチチップセンサの基本解像度の半分以上の場合には前記平均化処理を行わないことが好適である。

【0033】第6の態様は、複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理するためのプログラムであって、前記マルチチップセンサにおいて、前記センサチップの繋ぎ目を検出する処理と、前記繋ぎ目に対して、前段の前記センサチップ

の最終画素と後段の前記センサチップの先頭画素にあたる出力信号に対して平均化処理を行う処理とを実行するプログラムを記憶したことを特徴とするコンピュータ読み取り可能な記憶媒体である。

【0034】ここで、前記重み付け平均化処理を行う前に、シェーディング補正処理を行うプログラムを記憶して好適である。

【0035】また、前記マルチチップセンサの基本解像度の半分以上の読み取り解像度が指定された場合には、前記重み付け平均化処理を行わないとするプログラムを記憶して好適である。

【0036】第7の態様は、複数の画素を有するセンサチップを複数接続したマルチチップセンサからの信号を処理するためのプログラムであって、前記マルチチップセンサにおいて、前記センサチップの繋ぎ目を検出する処理と、前記繋ぎ目に対して、前段の前記センサチップの最終画素と後段の前記センサチップの先頭画素にあたる出力信号に対して平均化処理を行う処理と、前記平均化処理により擬似的な出力信号を作出し、前記前段の前記センサチップの最終画素の後に出力する処理とを実行するプログラムを記憶したことを特徴とするコンピュータ読み取り可能な記憶媒体である。

【0037】ここで、前記平均化処理を行う前に、シェーディング補正処理を行うプログラムを記憶して好適である。

【0038】また、前記マルチチップセンサの基本解像度の半分以上の読み取り解像度が指定された場合には、前記平均化処理を行わないとするプログラムを記憶して好適である。

【0039】

【発明の実施の形態】以下に、図面を参照して本発明の諸実施形態について詳細に説明する。

【0040】（第1の実施形態）図1は、第1の実施形態における画像処理装置の内部構成を示す概略側面図である。ここで、CIS101を駆動用モータ（図示せず）を用いて副走査方向に原稿台ガラス102に沿って移動させながら、CIS101の可動範囲外に設置された電気基板105により電氣的にCIS101を駆動させる。なお、電気基板105には、図2に示すように、シェーディング補正回路、ガンマ変換回路等各機能の駆動及び信号処理を行う回路が具備されており、CIS101の画像出力信号に対して電気基板105上で本発明の処理も行われ、デジタル画像信号として外部装置に転送する。

【0041】図2は、本実施形態における制御回路の概略構成を示すブロック図であり、以下で2を用いて本件の回路動作を説明する。図2において、201は密着型イメージセンサであり、光源であるLED202も一体化されており、CIS201を原稿に沿って副走査方向に移動させながら、LED制御回路203にて1ライン

毎に各色のLEDを切り替えて点灯させることにより、RGB線順次のカラー画像を読み取ることが可能である。

【0042】204は、CIS201より出力された信号を増幅させる増幅器であり、205は当該増幅出力のA/D変換を行なって例えば8ビットのデジタル出力を行うA/D変換器である。シェーディングRAM206は、標準白色板を読み取るCIS201と、このCIS201によって読み取られた読取データがシェーディング補正データとして記憶されており、シェーディング補正回路207は前記シェーディングRAM206のデータに基いて読み取られた画像信号のシェーディング補正を行う。ピーク検知回路208は読み取られた画像データにおけるピーク値をライン毎に検知する回路であり、原稿の先端を検知するために使用される。ガンマ変換回路209は、ホストコンピュータよりあらかじめ設定されたガンマカーブに従って読み取られた画像データのガンマ変換を行う。

【0043】バッファRAM210は、実際の読み取り動作とホストコンピュータとの通信にけるタイミングを合わせるために、画像データを一時的に記憶させるためのRAMであり、パッキング/バッファRAM制御回路211は、ホストコンピュータよりあらかじめ設定された画像出力モード（2値、4ビット多値、24ビット多値）に従ったパッキング処理を行った後にそのデータをバッファRAM210に書き込む処理と、インターフェース回路212にバッファRAM210から画像データを読み込んで出力させる。

【0044】インターフェース回路212は、パーソナルコンピュータなどの本実施形態に係る画像処理装置のホスト装置となる外部装置213との間でコントロール信号の受容や画像信号の出力を行なう。

【0045】外部装置213はホストコンピュータであり、画像処理装置を制御するためのスキャナドライバを有している。外部装置213は画像処理装置と一体となって画像処理システムを構成する。

【0046】スキャナドライバは、ユーザに対して画像読取モード（2値、4ビット多値、8ビット多値、24ビット多値）の指定を提供したり、解像度指定、読取範囲の指定を行うためのユーザインターフェースを有し、各指定に基づくコントロール信号を画像読取装置に対して前述のインターフェース回路212を介して送信したり、読取開始命令等を送信する。また、スキャナドライバは、画像読取装置が前記コントロール信号に従って読み取った画像を順次処理して画面表示を行うものである。

【0047】215は例えばマイクロコンピュータ形態のCPUであり、処理手順を格納したROM215A及び作業用のRAM215Bを有し、ROM215Aに格納された手順にしたがって各部の制御を行なう。21

6は例えば水晶発振器、214はCPU215の設定に応じて216の出力を分周して動作の基準となる各種タイミング信号を発生するタイミング信号発生回路である。

【0048】そして、217は本実施形態の特徴部であるところの繋ぎ補正部である。繋ぎ補正部217の重み付け平均化処理の一例としては、図7に示すように、実際の回路として構成とし、繋ぎ部の重み付け平均化処理を行うことができる。また、繋ぎ補正部217は重み付け平均化処理したデータをシェーディングRAM206の一領域に一時保存する。また、シェーディング補正後の画像データはシェーディングRAM206の別の一部をラインバッファとして一時保存するように構成し、この画像データの内各チップ繋ぎ部の画素を前述の重み付け平均化処理を受けたデータと書き換えを画素クロックに合わせて読み出すことで実現することが可能である。

【0049】図7は、繋ぎ部の前段チップ最終画素データと後段チップ先頭画素データに対して重み付け平均化処理を施すために構成された回路を示す模式図である。この回路は、前段チップ最終画素データ処理部701と後段チップ先頭画素データ処理部702からなる。これら各処理部は複数の1画素遅延させるためのDフリップフロップ、1/a倍器、1/b倍器、足し算器から構成され、その出力信号をセクタ703で切換えて出力し、K倍器を介して出力される。係数a、b、Kの関係については後述する。本回路の動作はCPU215からの制御で、各センサチップ繋ぎ部のタイミングでX2'とX3'の出力信号をシェーディングRAM206に出力する。

【0050】ここでは、繋ぎ補正部217を回路構成で示したが、CPU215の演算で実行することも可能である。この場合は、シェーディングRAM206をラインバッファとして一時記憶するとともに、繋ぎ部の各画素に対して後述の演算を行うことで重み付け平均化処理が可能となる。

【0051】更に、CPU215が読取条件により本繋ぎ補正部217をバイパスして画像データを次段の処理部へ出力するための画像のデータバスを切換える制御が可能な構成となっている。

【0052】図3は、CIS101内のセンサチップ繋ぎ部分の簡略図を示しており、センサチップ301上の受光画素302により読取原稿からの反射光をレンズを介して受光し、光電変換により電気信号に変換する。なお、X1～X4はそれぞれセンサチップ端部の受光画素を示し、aは同一チップ内の受光画素の中心間距離を示し、bは前段チップの最終画素X2と後段チップの先頭画素X3の中心間距離を示している。また、主走査方向におけるX2とX3の画素位置は、マルチチップセンサの構造から予め取得しておくことが可能である。

【0053】例えば、図8にあるようにマルチチップ構成のCISは、15個の各チップが同一画素数を有する構成である。1200dpiのCISにおいては、各チップが688画素であれば最初の繋ぎ部のX2とX3が現れるのはX2については688画素目であり、X3については689画素目に相当する画素である。以後、688画素毎にX2とX3が現れることが予め分かる。

【0054】図4は、図3のセンサチップ繋ぎ目部分が無い状態(a)とある状態(b)での斜線の見え方を表しており、CISを用いた画像読取装置ではセンサチップの繋ぎ目が存在するので(b)のようになる。図4

(b)はチップの繋ぎ部分の画素一列分欠落した画になっているが、欠落する量はチップの繋ぎ目の間隔に依存する。

【0055】図5は図4(b)に本発明の処理を施した後の斜線の見え方を示しており、以下に図6のフローチャートを用いて、本件におけるCISのチップ繋ぎ目による画像の不自然さを低減させる手段を説明する。なお、本発明の処理は図2にけるシェーディング補正回路207の後、即ちシェーディング補正後のデータに対して行われる。本動作はCPU215がROM215Aに格納されているプログラムに基づいて制御する手順に関するものであり、CPU215の演算処理にて重み付け平均化処理を行う場合の動作である。

【0056】まず、ステップ(S)601においてCISのチップ繋ぎ部の画素は予め特定されているので、タイミング信号発生回路で作られるライン同期信号と画素クロック信号とから、画素数をカウントすることで、第1チップ目の最終画素を見つける。第1チップ目の先頭から数画素はダミーデータとなり実際には使わない画像データであり、従って捨てられる。それゆえ、第1チップの画素のカウント数は実際の各チップの画素数より予めダミーとして捨てられる分だけ少なく設定しておく。

【0057】次に、S602に進み、図3におけるチップ最終画素X2及びその次段チップ先頭画素X3に対して本発明の処理を行う。まずチップ最終画素X2に対して重み係数Kを乗じ、その前後の画素X1、X3にそれぞれ

$$K(1 + 1/a + 1/b) = 1$$

となるような係数K/b、K/aを乗じる。その3つの画素を加算したものをX2'としてX2と置き換える。従って処理後のX2'は以下の様な式になる。

$$X2' = K(X2 + X1/b + X3/a)$$

【0058】次に、チップ先頭画素X3に対して前記X2と同様以下の計算式に従い重み付け平均化処理を施し、X3をX3'に置き換える。

$$X3' = K(X3 + X2/a + X4/b)$$

【0059】前記処理により図4上のX2、X3は図5上のX2'、X3'の様に中間色になり、像としてより自然な画になる。

【0060】次に、S603に進み、S602の先頭画素X3のあるチップが最終チップかどうかの判断を行う。最終チップの場合は本発明の処理を終了する。

【0061】S603にて最終チップでない場合には、S604にてそのチップ1つのセンサチップの画素数は決まっているので1チップ終画素を見つける。1チップ目の最終画素からセンサチップの画素数だけ離れた画素が2チップ目の最終画素となり、同様にそれ以降のセンサチップの最終画素も見つける事ができる。

【0062】S604にてチップの最終画素を見つけたらS602に進み、本発明の処理を行う。

【0063】なお、本実施形態においては、センサチップの繋ぎ目毎に最終画素と先頭画素センサチップの端部数画素を用いての隣接画素のみを用いて処理を行ったが、前記処理を行うことでより効果が現れる。この場合には、

$$X2' = K(X2 + X1/b + X3/a + X4/(a + b))$$

$$X3' = K(X3 + X1/(a + b) + X2/a + X4/b)$$

但し、 $K(1 + 1/a + 1/b + 1/(a + b)) = 1$ である。

【0064】図7における701、702については、3画素遅延させるための構成と $1/(a + b)$ 倍器が必要となる。

【0065】このように、チップの繋ぎ目の画素X2、X3においては、隣接するチップの近接画素からの影響を多く受けるようにすることで、より自然な画像にすることが可能である。図7の回路で重み付け平均化処理を行う場合の動作は、図6のフローにおいて、図7の回路に順次画像データを供給した状態で、S601、S604の検索結果の画素検出タイミングを元に、S602においてセレクトを切換えるタイミングを作り、切換える事で実行される。

【0066】また、以下に、前記実施形態でシェーディング補正後のデータに対して繋ぎ補正処理を行うことについて詳細に記載する。

【0067】図9は、LEDを導光体の片側に配し、走査対象を照射するタイプのCISで標準白色板を読み取った際の画素データであり、主走査方向配光特性を示す。この値は、基準データなので、全ての画素位置で均一の値となる。しかしながら、実際には図9のように照明系(導光体とLED)の影響や各画素の受光部の固体差や、受光部へ光を導くためのレンズの構成などで不均一となる。シェーディングデータは標準白色板を複数ライン読取り、各画素位置での複数画素データの平均値をとることでXsを得られる。

【0068】実際のシェーディングデータXsは、

$$Xs = X_{peak} / X_{ave}$$

である(X_{peak}は主走査の最大値、X_{ave}は各画素位置

での平均値)。これを各画素位置で保存し、入力画像データに対して掛け算することでシェーディング補正が可能となる。また、AMP 204やA/D変換回路205のリファレンス電圧を制御することで X_{peak} のデータが最大値を示すように設定される。例えば、8ビットならば255となる。

【0069】 繋ぎ補正部により重み付け平均化処理された画像データは、生データではないため、チップ繋ぎ部の画素に対する正確なシェーディング補正データを作成することができない。そのため、繋ぎ補正部をA/D変換器でのデジタル出力がシェーディング補正処理を受けるまでの間に繋ぎ補正処理を行うことができない。したがって、繋ぎ補正部217はシェーディング補正回路207の後段に配される事が必要である。

【0070】 また、本実施形態においては、繋ぎ補正処理をスキャナ本体で行うことで記載したが、外部装置であるホストコンピュータ213にあるスキャナドライバにおいて行うことも可能である。

【0071】 低価格のスキャナにおいては、スキャナ本体はあまり高機能にせずシェーディング補正やガンマ変換処理などはソフトウェアで行うこととし、スキャナ本体においてはA/D変換されたデジタルデータをそのままホストコンピュータ213に送信するタイプのスキャナがある。この場合には、図2におけるシェーディング補正回路207やガンマ変換回路等は省かれ、それらはスキャナドライバにおいて実行される。また、図6に示されるフローもスキャナドライバが演算処理で行うように構成する。スキャナドライバが繋ぎ補正処理を行う箇所の画素を、スキャナからインターフェース回路212を介して受信した画像データからカウントすることで検出し、各箇所における X_2 と X_3 に対して重み付け平均化処理を実行する。この場合でもシェーディング補正処理と繋ぎ補正処理の関係は上述と変わりがなく、両方の処理がスキャナドライバ内で行われることになる。

【0072】 以上説明したように、本実施形態によれば、比較的簡易な構成でセンサチップ間における繋ぎ部分に対応した画像の不自然さを低減させ、ごく自然な画像を実現して信頼性の向上に寄与することが可能となる。

【0073】 (変形例) ここで、本実施形態の変形例について説明する。ここでは、解像度変換に伴う繋ぎ補正の取扱について詳細に述べる。

【0074】 本実施形態においては、1200dpiの基本解像度での画像読取りを考慮して記載した。しかしながら、画像処理装置においてはホストコンピュータ213におけるスキャナドライバによりユーザーが基本解像度以外の解像度を指定する事が可能である。その場合には画像処理装置は次のように動作する。

【0075】 以下、図10を用いて説明する。まず、ユーザーがスキャナドライバにおいて、スキャンパラメー

タとして解像度、倍率、読取モード(2値、グレースケール、カラー)、ガンマカーブ等を設定し、設定後にスキャン命令を行う。スキャン命令を検出したスキャナドライバは、インターフェースを介して画像処理装置にスキャンパラメータを送信する。

【0076】 画像処理装置は、インターフェース回路212を介してスキャンパラメータを受信すると、S1001でCPU215がスキャンパラメータを確認する。そして、S1002でスキャンパラメータの解像度を確認する。この時、スキャンパラメータが基本解像度の半分すなわち本実施例においては601dpi以上であるか否かを判断し、600dpi以下の場合には繋ぎ補正処理をバイパスする(S1003)。また、601dpi以上の場合にはS1004で繋ぎ補正処理実行のための画像データパスを設定する。

【0077】 更に、S1005において、CPU215はスキャンパラメータに基づき他の画像読取用のパラメータを各部にセットする。例えば、水平同期信号当りのモータ駆動パルス数、解像度変換の為に主走査方向の画素間引き数、ガンマカーブの設定等である。

【0078】 そして、S1006において、CPU215はスキャンパラメータに続いてホストコンピュータ213から送られて来るスキャン実行コマンドを検出するとスキャンを開始する。このように、解像度が低く、繋ぎ補正処理をしなくとも画質への影響が少ない場合には画像データの処理スピードを上げるために繋ぎ補正処理をバイパスすることでスキャン時間の短縮に効果を上げることができる。

【0079】 特に、本実施形態のように、繋ぎ補正処理をCPU215が演算で行う場合や、低価格の画像読取装置においてスキャナドライバが実行する場合には効果が大きい。スキャナドライバが繋ぎ補正処理を行う場合には、図10における解像度の判断に基づく繋ぎ補正処理の実行/不実行の判断はスキャナドライバ内で行われ、画像読取装置内では、モータ駆動パルスの設定や解像度に合わせた主走査方向の画素間引き数等が設定されるのみである。

【0080】 (第2の実施形態) 本実施形態では、第1の実施形態と同様に画像処理装置、画像処理システム及び処理方法の実施形態を開示するが、主要構成たる繋ぎ補正処理が異なる点で相違する。従って、画像処理装置及び画像処理システムの概略構成(図1及び図2に相当する)の説明は省略する。また、両実施形態で共通する図面でも、説明に必要なものについては重複して述べる。

【0081】 217は本実施形態の特徴部であるところの繋ぎ補正部である。繋ぎ補正部217の平均化処理部は一例としては、図14に示すように、実際の回路として構成し、チップ繋ぎ部の平均化処理を行い擬似信号を作り出すことで実現できる。また、繋ぎ補正部217は

10

20

30

40

50

平均化処理したデータを、シェーディングRAMの一部をラインバッファとして一時保存用に用い、画像データを並べ変え画素クロックに合わせて読み出すことで実現することが可能である。または、全ての画素に対して平均化処理を施したデータも保存し、シェーディングRAMの読み出しアドレスをチップ繋ぎ目のタイミングで切替えることでも実現できる。

【0082】図14は、1画素分用の擬似信号を作り出す為に構成された回路である。1画素遅延させるためのDフリップフロップ702、1/2倍器701、足し算器703からなる。本回路の動作はCPU215からの制御で、各チップ間に擬似出力にて画素を作り出すタイミングにおいて動作する。また、本平均化処理は、CPU215が演算を行い擬似信号を作り出すことで実現できる。

【0083】CPU215が読取条件により本繋ぎ補正部217をバイパスして画像データを次段の処理部へ出力するための画像のデータバスを切替える制御が可能な構成となっている。

【0084】図3はCIS101内のセンサチップ繋ぎ部分の簡略図を示しており、センサチップ301上の受光画素302により読取原稿からの反射光をレンズを介して受光し、光電変換により電気信号に変換する。なお、X1～X4はそれぞれセンサチップ端部の受光画素を示し、aは同一チップ内の受光画素の中心間距離を示し、bは前段チップの最終画素X2と後段チップの先頭画素X3の中心間距離を示している。なお、主走査方向におけるX2とX3の画素位置は、マルチチップセンサの構造から予め取得しておくことが可能である。例えば、図8にあるようにマルチチップ構成のCISは、15個の各チップが同一画素数を有する構成である。

【0085】1200dpiのCISにおいては、各チップが688画素であれば最初の繋ぎ部のX2とX3が現れるのはX2は688画素目であり、X3は689画素目に相当する画素である。以後、688画素毎にX2とX3が現れることが予め分かる。

【0086】図11は、図3のセンサチップ繋ぎ目部分が無い状態(a)とある状態(b)での斜線の見え方を表しており、CISを用いた画像読取装置ではセンサチップの繋ぎ目が存在するので(b)の様になる。図11(b)はチップの繋ぎ部分の画素一列分欠落した面になっているが、欠落する量はチップの繋ぎ目の間隔に依存する。

【0087】図12は図11(b)に本発明の処理を施した後の斜線の見え方を示しており、以下に図13のフローチャートを用いて、本件におけるCISのチップ繋ぎ目による画像の不自然さを低減させる手段を説明する。

【0088】なお、本発明の処理は図2におけるシェーディング補正回路207の後、即ちシェーディング補正

後のデータに対して行われる。本動作はCPU215がROM215Aに格納されているプログラムに基づいて制御する手順に関するものである。

【0089】まず、ステップ(S)601においてCISのチップ繋ぎ部の画素は予め特定されているので、タイミング信号発生回路で作られるライン同期信号と画素クロック信号とから、画素数をカウントすることで、第1チップ目の最終画素を見つける。第1チップ目の先頭画素はダミーデータとなり実際には使わない画像データであり、捨てられる。それゆえ、第1チップの画素のカウント数は実際の各チップの画素数より予めダミーとして捨てられる分だけ少なく設定しておく。

【0090】次に、S602に進み、図2におけるチップ最終画素X2及びその後段のセンサチップ先頭画素X3に対して繋ぎ補正部217で平均化処理を行い疑似的な画素X5を形成し、X2とX3の間にX5を挿入する。これは、

$$X5 = (X2 + X3) / 2$$

で表される。データの挿入は、シェーディングRAM206における画素データの並べ替え若しくはシェーディングRAM206からの読み出し時のアドレス制御で実行される。

【0091】次に、S603に進み、S602で平均化処理の対象画素となった先頭画素X3の存在するチップが最終チップかどうかの判断を行う。最終チップの場合は本発明の処理を終了する。本実施形態においては、14番目と15番目のチップ間に繋ぎ補正処理を行うことで処理が終了し、次ラインのカウントに備える。

【0092】S603にて最終チップでない場合はステップS604にてそのチップ上の最終画素を見つける。1つのセンサチップの画素数は決まっているので1チップ目の最終画素からセンサチップの画素数だけ離れた画素が2チップ目の最終画素となり、同様にそれ以降のセンサチップの最終画素も見つける事ができる。

【0093】S604にてチップの最終画素を見つけたらS602に進み、後段のセンサチップの先頭画素との平均化処理を行う。

【0094】なお、本実施の形態においては、センサチップ毎最終画素と先頭画素の平均化処理により1画素のみ補ったが、センサチップの間隔によって複数画素補う事により同様の効果が得られる。

【0095】例えば、2画素相当分の間隔が空いている場合には、図13のフローチャートのS602において、前述のX5の擬似出力を2画素分出力することで実現できる。n画素分以上にセンサチップの間隔が空いている場合についても同様に同一の擬似出力をステップS602において、n画素分出力するように設定ごとで可能になる。これは、ステップS602で作成した擬似出力をシェーディングRAM206の一部などで保持し、n画素分出力する様にタイミング制御することで補うこ

10

20

30

40

50

とが可能である。

【0096】チップ間が n 画素分空いているかどうかはCISの製造過程において予め知ることも可能であるが、画像を読取った後でホストコンピュータ213で表示することでも確認できる。確認後にスキナドライバで擬似出力にて画素信号を作り出すための個数を設定することでも本実施形態を実現できる。この場合にはスキナドライバのユーザインターフェースにおいて擬似出力の画素の出力数を設定させ、これに応じてコマンドを用いてS602で作成したデータを何画素分出力するか画像読取装置において設定することで可能となる。本コマンドを受信した画像読取装置は平均化された擬似出力の出力するための個数を設定しておき、画像データをシェーディングRAM206内で並べ変える時や、読み出しアドレスの制御を行うことで実行する。

【0097】また、本実施形態においては、電気基板をCISの移動領域外に配置したが、本発明はこれに限定されるものではなく、回路の集積度を上げることで、CISと一体型に形成され、移動ユニットとして形成されることでも実現できる。

【0098】また、以下に、前記実施形態でシェーディング補正後のデータに対して繋ぎ補正処理を行うことについて詳細に記載する。

【0099】図9は、LEDを導光体の片側に配し、走査対象を照射するタイプのCISで標準白色板を読み取った際の画素データであり、主走査方向配光特性を示す。この値は、基準データなので、全ての画素位置で均一の値となる。しかしながら、実際には図9のように照明系（導光体とLED）の影響や各画素の受光部の固体差や、受光部へ光を導くためのレンズの構成などで不均一となる。シェーディングデータは標準白色板を複数ライン読取り、各画素位置での複数画素データの平均値をとることで X_s を得られる。

【0100】実際のシェーディングデータ X_s は、

$$X_s = X_{\text{peak}} / X_{\text{ave}}$$

である（ X_{peak} は主走査の最大値、 X_{ave} は各画素位置での平均値）。これを各画素位置で保存し、入力画像データに対して掛け算することでシェーディング補正が可能となる。また、AMP204やA/D変換回路205のリファレンス電圧を制御することで X_{peak} のデータが最大値を示すように設定される。例えば、8ビットならば255となる。

【0101】繋ぎ補正部により作出される画像データは、擬似出力であるためシェーディング補正データを持たないので、繋ぎ補正部217はシェーディング補正回路207の後段に配される事が必要である。

【0102】また、他の方法としては、予め各チップ間における前述の X_2 と X_3 の画素位置に相当するシェーディング補正データを用いて平均化処理をCPU215の演算で行い、擬似的なシェーディング補正データを X

5に対しても形成し、シェーディングRAMに格納しておくことで繋ぎ補正部217はシェーディングRAMの前段に配置することが可能になる。

【0103】この場合の繋ぎ補正部の動作も前述のシェーディング補正後のデータに対する動作と変わりが無い。つまり、図6のフローで表される X_2 と X_3 の平均化処理を行い X_5 を作る処理をA/D変換後のデータに対して行い、その後シェーディング補正回路207を通して、シェーディング補正をすれば実現できる。この場合には、シェーディングRAM206に存在するシェーディングデータは実際に読取られる画像よりチップ間の数だけ多いことになる。この場合には、シェーディングRAM206の一部領域を用いてA/D変換後のデータを保存、読み出しを行いながらCPU215の演算により平均化処理を行う。

【0104】また、本実施形態においては、繋ぎ補正処理をスキナラ本体で行うことで記載したが、外部装置であるホストコンピュータ213にあるスキナドライバにおいて行うことも可能である。

【0105】低価格のスキナラにおいては、スキナラ本体はあまり高機能にせずシェーディング補正やガンマ変換処理などはソフトウェアで行うこととし、スキナラ本体においてはA/D変換されたデジタルデータをそのままホストコンピュータ213に送信するタイプのスキナラがある。この場合には、図2におけるシェーディング補正回路207やガンマ変換回路等は省かれ、それらはスキナドライバにおいて実行される。また、図13に示されるフローもスキナドライバが演算処理で行うように構成する。スキナドライバが繋ぎ補正処理を行う箇所の画素を、スキナラからインターフェース回路212を介して受信した画像データからカウントすることで検出し、各箇所における X_2 と X_3 の平均化処理を行い X_5 を作出する処理を実行する。この場合でもシェーディング補正処理と繋ぎ補正処理の関係は上述と変わりがなく、両方の処理がスキナドライバ内で行われることになる。

【0106】以上説明したように、本実施形態によれば、比較的簡易な構成でセンサチップ間における繋ぎ部分に対応した画像の不自然さを低減させ、ごく自然な画像を実現して信頼性の向上に寄与することが可能となる。

【0107】なお、本実施形態においても、第1の実施形態の変形例と同様に、画像処理装置においてはホストコンピュータ213におけるスキナドライバによりユーザーが基本解像度以外の解像度を指定する事が可能である。

【0108】ここで、上述した実施形態の機能を実現するように各種のデバイスを動作させるように、上記各種デバイスと接続された装置あるいはシステム内のコンピュータに対し、上記実施形態の機能を実現するためのソ

フトウェアのプログラムコードを供給し、そのシステムあるいは装置のコンピュータ（CPUあるいはMPU）に格納されたプログラムに従って上記各種デバイスを動作させることによって実施したものも、本発明の範疇に含まれる。

【0109】また、この場合、上記ソフトウェアのプログラムコード自体が上述した実施形態の機能を実現することになり、そのプログラムコード自体、およびそのプログラムコードをコンピュータに供給するための手段、例えばかかるプログラムコードを格納した記憶媒体は本発明を構成する。かかるプログラムコードを記憶する記憶媒体としては、例えばフロッピー（登録商標）ディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、磁気テープ、不揮発性のメモ리카ード、ROM等を用いることができる。

【0110】また、コンピュータが供給されたプログラムコードを実行することにより、上述の実施形態の機能が実現されるだけでなく、そのプログラムコードがコンピュータにおいて稼働しているOS（オペレーティングシステム）あるいは他のアプリケーションソフト等の共同して上述の実施形態の機能が実現される場合にもかかるプログラムコードは本発明の実施形態に含まれることは言うまでもない。

【0111】さらに、供給されたプログラムコードがコンピュータの機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに格納された後、そのプログラムの指示に基づいてその機能拡張ボードや機能拡張ユニットに備わるCPU等が実際の処理の一部または全部を行い、その処理によって上述した実施形態の機能が実現される場合にも本発明に含まれる。

【0112】

【発明の効果】本発明によれば、比較的簡易な構成でセンサチップ間における繋ぎ部分に対応した画像の不自然さを低減させ、ごく自然な画像を実現して信頼性の向上に寄与することが可能となる。また、読み取り解像度に合わせて繋ぎ補正処理を行うのでデータ処理の時間を最適化することができる。

【図面の簡単な説明】

【図1】第1の実施形態の画像読取装置を示す内部構成図である。

【図2】第1の実施形態の画像読取装置の電気的構成の一例を示すブロック図である。

【図3】CIS内部におけるセンサチップ繋ぎ目を示す模式図である。

【図4】CIS内部におけるセンサチップ繋ぎ目の内チップが連続している場合における斜線の読取画像、及びCIS内部におけるセンサチップ繋ぎ目において前段チップの最終画素X2と後段チップの先頭画素X3の中心間距離がbの場合における斜線の読取画像を示す模式図

である。

【図5】図4（b）の状態に本発明の処理を施した後の斜線の画像を示す模式図である。

【図6】第1の実施形態の処理動作を具体的に示すフローチャートである。

【図7】重み付け平均化処理を行う回路図である。

【図8】第1の実施形態のCISの構成概略図である。

【図9】標準白色板を読み取ったCIS出力を示す特性図である。

【図10】第1の実施形態の変形例を説明するためのフローチャートである。

【図11】CIS内部におけるセンサチップ繋ぎ目の内チップが連続している場合における斜線の読取画像、及びCIS内部におけるセンサチップ繋ぎ目において前段チップの最終画素X2と後段チップの先頭画素X3の中心間距離がbの場合における斜線の読取画像を示す模式図である。

【図12】図11（b）の状態に本発明の処理を施した後の斜線の画像を示す模式図である。

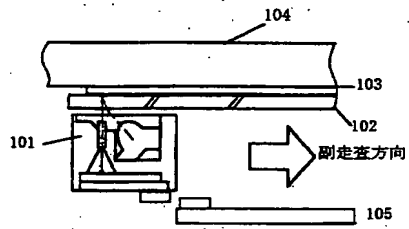
【図13】第2の実施形態の処理動作を具体的に示すフローチャートである。

【図14】平均化処理により擬似的な出力信号を作出する回路図である。

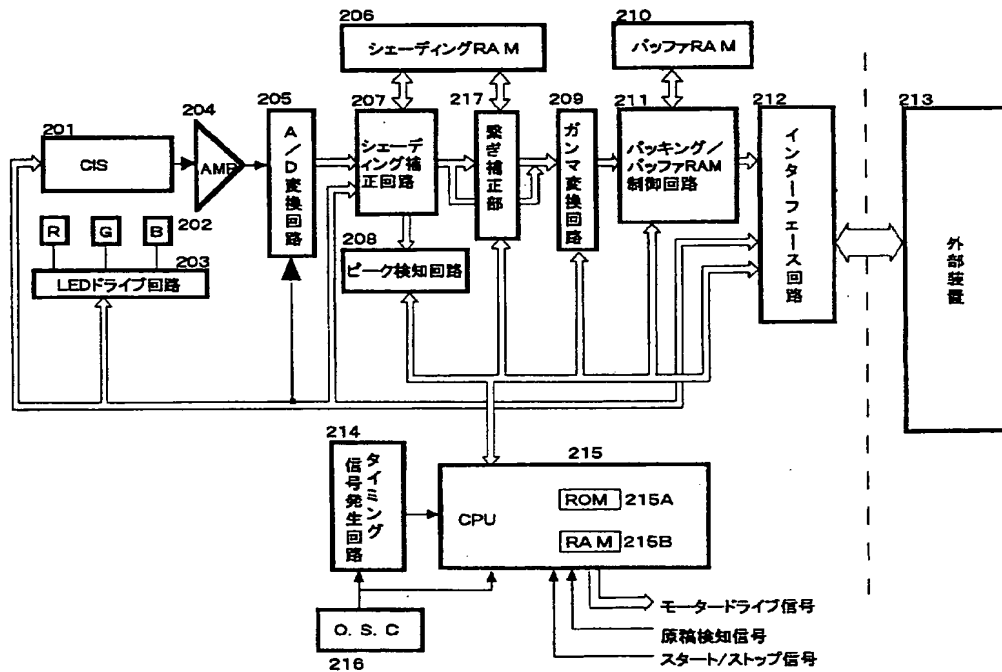
【符号の説明】

- 101 コンタクトイメージセンサ（CIS）
- 102 原稿台ガラス
- 103 読取原稿
- 104 圧板
- 105 電気基板
- 201 密着型イメージセンサ
- 202 LED
- 203 LED制御回路
- 204 AMP
- 205 A/D変換器
- 206 シェーディングRAM
- 207 シェーディング補正回路
- 208 ピーク検知回路
- 209 ガンマ変換回路
- 210 バッファRAM
- 211 バックグランド／バッファRAM制御回路
- 212 インターフェース回路
- 213 外部装置
- 214 タイミング信号発生回路
- 215 CPU
- 216 発振器
- 217 繋ぎ補正部
- 701 前段チップ最終画素データ処理部
- 702 後段チップ先頭画素データ処理部
- 703 セレクタ

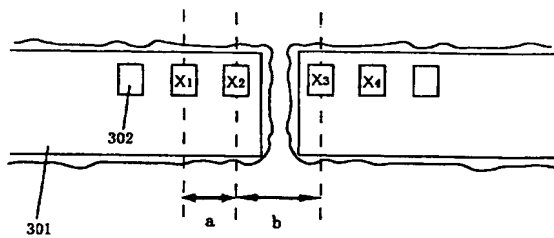
【図1】



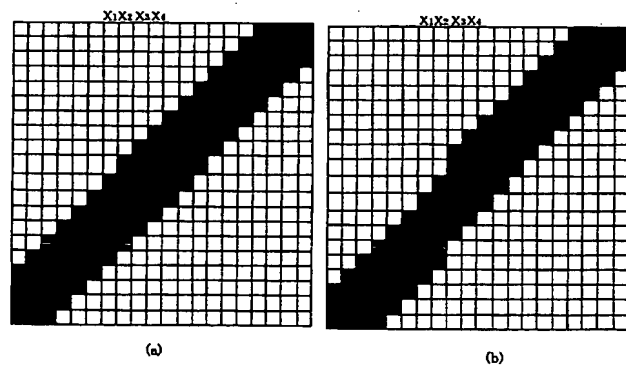
【図2】



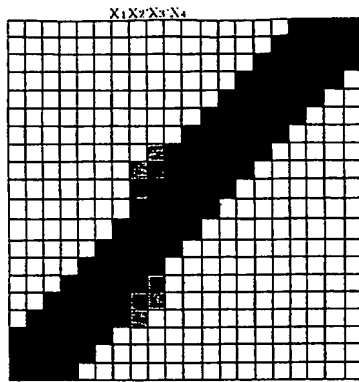
【図3】



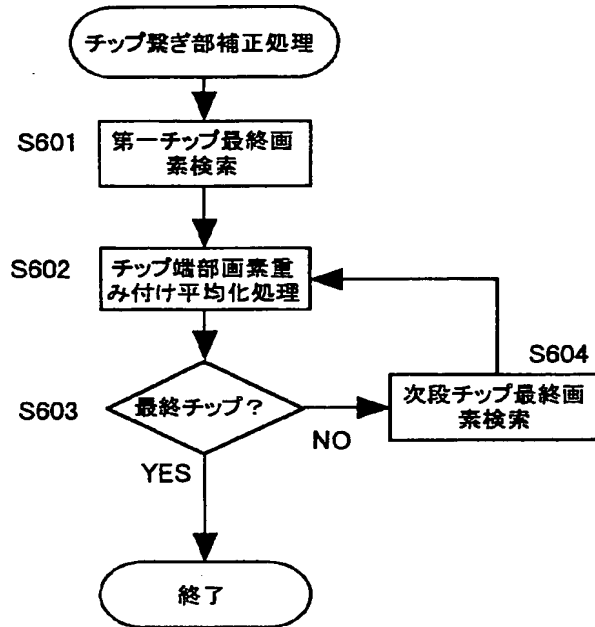
【図4】



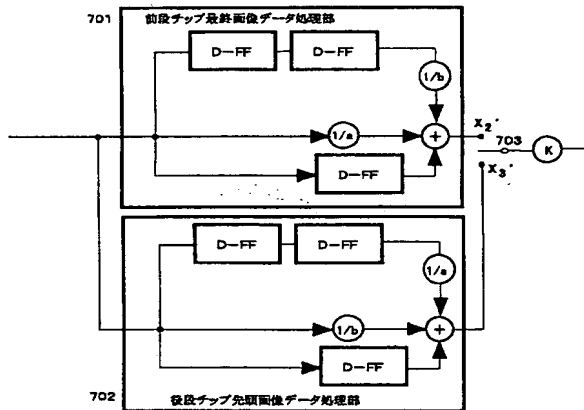
【図 5】



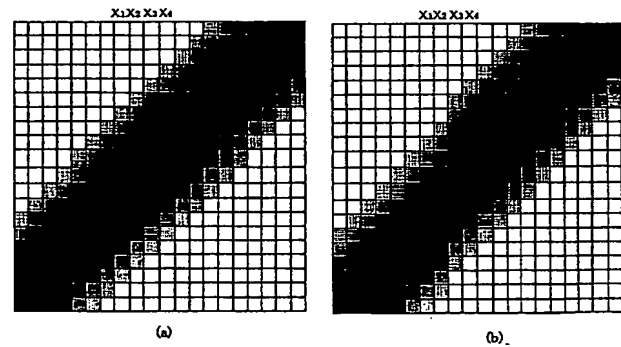
【図 6】



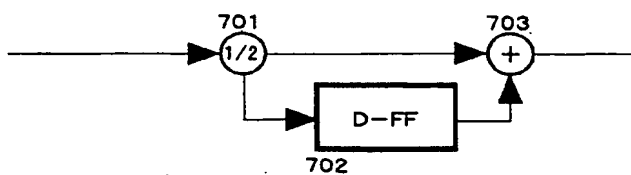
【図 7】



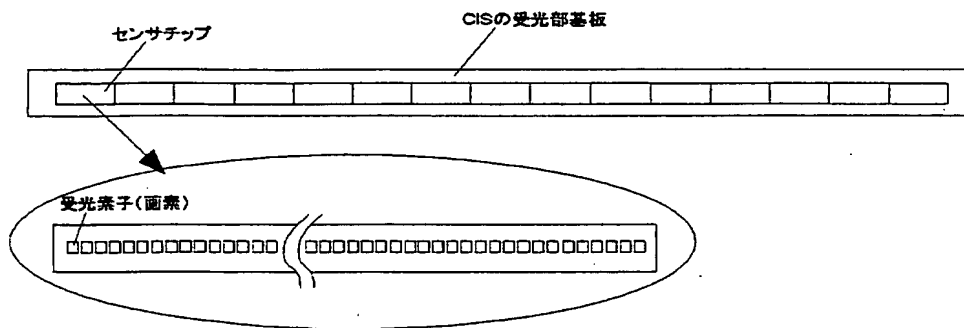
【図 11】



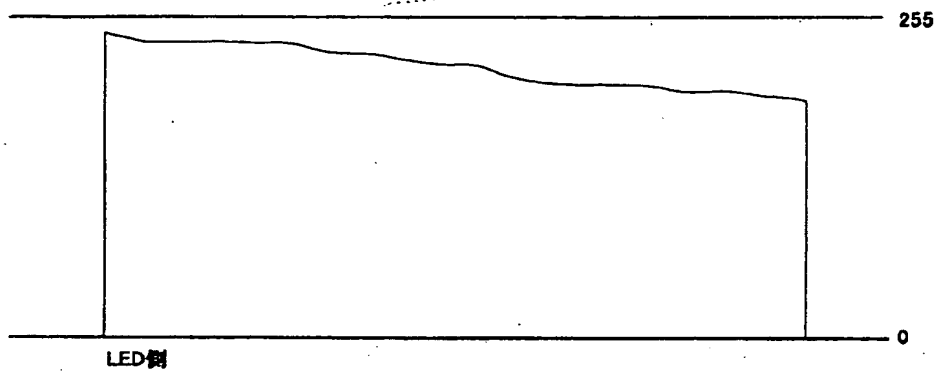
【図 14】



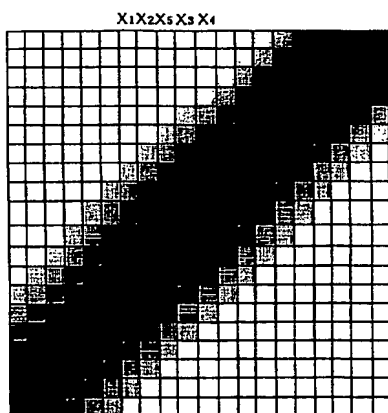
【図8】



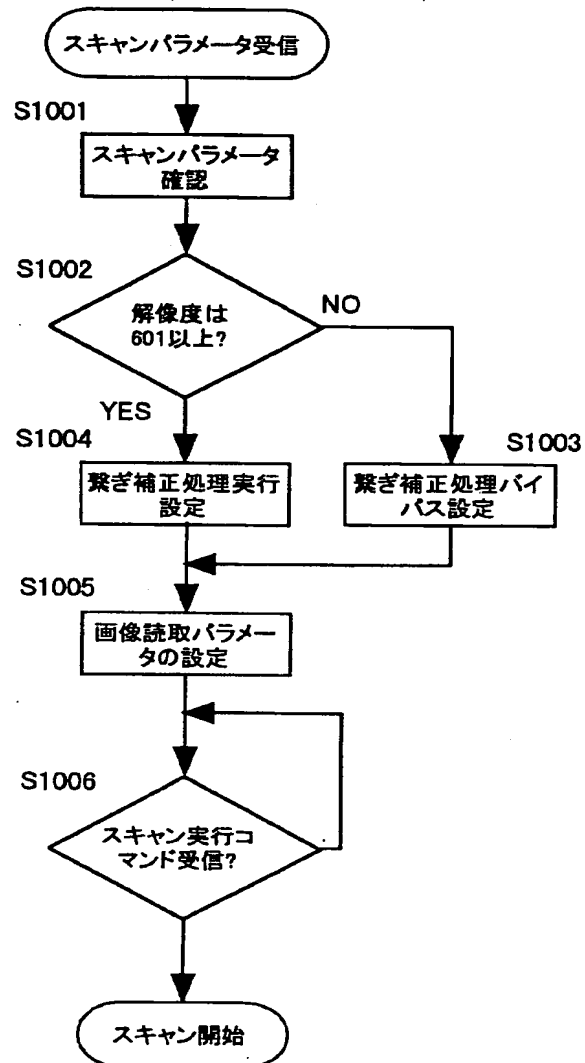
【図9】



【図12】



【図10】



【図 13】

